

공개특허 제 1998-71343호 (1998.10.26) 1부.

[첨부그림 1]

특 1998-071 343

(19) 대한민국특허청 (KR) (12) 공개특허공보 (A)

(51) Int. Cl.⁹

(11) 공개번호 특 1998-071343

H01L 27/04

(43) 공개일자 1998년 10월 26일

(21) 출원번호 특 1998-004349

(22) 출원일자 1998년 02월 13일

(30) 우선권주장 97-47191 1997년 02월 14일 일본 (JP)

(71) 출원인 닛뽕덴키 가부시끼가이샤 가네코 히사시

일본 도오쿄도 미나토구 시바 5조메 7방 1고

(72) 발명자 야마다 다카시

일본 도오쿄도 미나토구 시바 5조메 7방 1고 닛뽕덴키 가부시끼가이샤 나미

(74) 대리인 박해선, 조영원

심사청구 : 있음

(54) 발견회로 및 지연회로

요약

본 발명의 과제는 소면적으로 발진주파수, 듀티비, 위상을 제어할 수 있는 발진회로, 및 지연시간, 상승시간, 하강시간을 제어할 수 있는 지연회로를 제공하는 것이다.

본 발명의 해결수단은 링 오실레이터, 또는 종속접속된 논리게이트를 구성하는 MOS 트랜지스터의 웰 (SOI 디바이스에서는 채널영역이나 백 게이트) 을 각각 전기적으로 분리하고, 그 각각을 가변 바이어스 전압 발생회로의 출력에 접속시킴으로써 웰 전위를 변동시킨다. 그럼으로써, 각 MOS 트랜지스터의 임계치가 변동되어, 구동전류능력이 개별적으로 제어되어진다.

도표도

도 1

명세서

도면의 간단한 설명

도 1 은 본 발명의 발진회로의 실시예의 구성을 설명하기 위한 도면.

도 2 는 본 발명의 발진회로의 실시예 1 의 요부 레이아웃 평면도.

도 3 은 본 발명의 발진회로의 실시예 1 의 구성을 설명하기 위한 단면도로, 도 3a 는 도 2 의 Y-Y' 선을 따라 절단했을 때의 단면도, 도 3b 는 도 2 의 X-X' 선을 따라 절단했을 때의 단면도.

도 4 는 본 발명의 발진회로의 실시예에서, 발진주파수를 높게 했을 때의 파형도.

도 5 는 본 발명의 발진회로의 실시예에서, 듀티비를 크게 했을 때의 파형도.

도 6 은 발진회로의 실시예에서, 위상을 진행했을 때의 파형도.

도 7 은 본 발명의 발진회로의 실시예 2 의 요부 레이아웃 평면도.

도 8 은 본 발명의 발진회로의 실시예 2 의 구성을 설명하기 위한 단면도로, 도 8a 는 도 7 의 Y-Y' 선을 따라 절단했을 때의 단면도, 도 8b 는 도 7 의 X-X' 선을 따라 절단했을 때의 단면도.

도 9 는 본 발명의 발진회로의 실시예 3 의 요부 레이아웃 평면도.

도 10 은 본 발명의 발진회로의 실시예 3 의 구성을 설명하기 위한 단면도로, 도 10a 는 도 9 의 Y-Y' 선을 따라 절단했을 때의 단면도, 도 10b 는 도 9 의 X-X' 선을 따라 절단했을 때의 단면도.

도 11 은 본 발명의 지연회로의 일 실시예의 구성을 설명하기 위한 도면.

도 12 는 종래 발진회로 구성의 일례를 설명하기 위한 도면.

도 13 는 종래 지연회로 구성의 일례를 설명하기 위한 도면.

도 14 는 종래 지연회로의 다른 구성예를 설명하기 위한 도면.

도면의 주요부분에 대한 부호의 설명

1 : 게이트전위 제어부

2 : 백 바이어스 제어부

3 : P 형 반도체기판

4 : 절연막

5 : 깊은 N 웰 6 : 반도체기판
 11, 12 : 게이트전극 21, 22 : P 형 확산층
 31, 32 : N 형 확산층 41, 42 : N 웰
 51, 52 : P 웰 61, 62, 71, 72 : 소스 층
 81, 82, 91, 92 : 백 게이트 101, 102 : 배선
 $QP_1, QP_2, \dots, QP_{3+k}$: P 형 MOS 트랜지스터
 $QN_1, QN_2, \dots, QN_{3+k}$: N 형 MOS 트랜지스터
 $TP_1, TP_2, \dots, TP_{3+k}$: P 형 MOS 트랜지스터
 $TN_1, TN_2, \dots, TN_{3+k}$: N 형 MOS 트랜지스터
 OUT : 출력단자
 $BP_1, BP_2, \dots, BP_{3+k}$: Pch MOS 백 바이어스 제어단자
 $BN_1, BN_2, \dots, BN_{3+k}$: Nch MOS 백 바이어스 제어단자
 $GP_1, GP_2, \dots, GP_{3+k}$: Pch MO 게이트전위 제어단자
 $GN_1, GN_2, \dots, GN_{3+k}$: Nch MO 게이트전위 제어단자

발명의 상세한 설명

발명의 목적

발명에 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로에 집적화할 수 있으며, 발진주파수, 듀티비, 위상을 변경시킬 수 있는 발진 회로와, 지연시간, 상승시간, 하강시간을 변경시킬 수 있는 지연회로에 관한 것이다.

발진주파수나 듀티비가 가변인 발진신호를 얻을 수 있는 종래의 발진회로로서, 이하, 일본 공개특허공보 제 84-86326 호에 제안된 발진회로를 예로 하여 설명한다.

도 12는 종래 발진회로의 회로구성의 일례를 나타낸 도면이다. 도 12를 참조하면, 링 오실레이터를 구성하는 홀수단의 인버터군 ($INV_1, INV_2, \dots, INV_{3+k}$ (k 는 1 이상의 정수))의 전원단자에 접속되며, 소스가 전원에 접속된 제어용 Pch MOS 트랜지스터군 ($TP_1, TP_2, \dots, TP_{3+k}$)의 드레인이 각각 접속되고, 상기 인버터군의 접속단자에 소스가 각각 접지되어진 제어용 Nch MOS 트랜지스터군 ($TN_1, TN_2, \dots, TN_{3+k}$)의 드레인이 접속된 구성으로 되어 있다.

게이트전위 제어부 (2)는 원하는 발진주파수, 듀티비에 대응한 게이트전위 제어신호 ($GP_1, GP_2, \dots, GP_{3+k}, GN_1, GN_2, \dots, GN_{3+k}$)를 출력하고, 이들 신호는 각각 제어용 MOS 트랜지스터 ($TP_1, TP_2, \dots, TP_{3+k}, TN_1, TN_2, \dots, TN_{3+k}$)의 게이트 전극으로 인가된다.

계속해서, 상술한 종래 발진회로의 동작을 설명한다.

도 12에 있어서, 제어용 Pch MOS 트랜지스터 (TP_1)의 온 (ON) 저항 (R_{on})은 트랜지스터 (TP_1)가 비포화영역에서 동작하고 있는 것으로 하여 하기 식 (1)로 주어진다.

단, μ 는 능력계수, V_m 는 게이트·소스간 전압, V_{ds} 는 소스·드레인간 전압, V_{th} 는 임계치 전압이다.

이는 인버터 (INV_1)의 전류단자와 전원 사이에 저항 (R_{on})이 부가된 것으로, 인버터 (INV_1)의 전류 구동능력이 게이트전위 제어부 (2)의 출력전압 GP_1 에 의하여 증가적으로 제어된다. 다른 제어 트랜지스터군에 대해서도 동일한 원리로서, 게이트전위 제어부 (2)의 출력전압에 따라서 링 오실레이터를 구성하는 각단의 논리게이트의 전류구동능력을 제어할 수 있고, 발진주파수와 듀티비를 가변으로 할 수가 있다.

보다 구체적으로는, 발진주파수를 높게 할 때에는 각단의 논리게이트의 전류구동능력을 높이면 되므로, 게이트전위 제어부 (2)의 출력 중에서 $GP_1, GP_2, \dots, GP_{3+k}$ 의 전위를 낮게 하고, $GN_1, GN_2, \dots, GN_{3+k}$ 의 전위를 높게 한다.

또한, 듀티비를 크게 하기 위해서는, 홀수단째 논리게이트의 출력이 하강하는 속도와 짝수단째 논리게이트의 출력이 상승하는 속도가 늦어짐과 동시에, 또한 홀수단째 논리게이트의 출력이 상승하는 속도와

작수단층 논리게이트의 출력이 하강하는 속도가 빨라지면 된다. 따라서, 게이트전위 제어부 (2)의 출력 중 홀수단층 논리게이트로 입력되는 $GP_1, GN_1, GP_2, GN_2, \dots, GP_j, GN_j, \dots, GP_{j+1}, GN_{j+1}$ 의 전위를 낮게 하고, 짝수단층 논리게이트로 입력되는 $GP_2, GN_2, GP_4, GN_4, \dots, GP_{2j}, GN_{2j}$ 의 전위를 높게 하면 된다.

이어서, 종래 사용되어 온 지연회로의 예를 도 13 및 도 14에 나타낸다.

도 13에 나타난 지연회로는 종속(縱續)접속된 j 단의 인버터열 (j 는 2 이상의 짝수)로 구성되어 있다. 각 인버터는 소스·드레인 방향으로 3단 직렬로 접속된 Nch MOS 트랜지스터와, 소스·드레인 방향으로 3단 직렬로 접속된 Pch MOS 트랜지스터로 각각 이루어진다. 각 인버터의 전류구동능력은, 각각이 직렬 트랜지스터의 온저항의 합에 반비례하므로, 트랜지스터를 3개 직렬로 접속시킴으로써, Nch 트랜지스터 1개와 Pch 트랜지스터 1개로 이루어진 인버터에 비해서 전류구동능력이 낮아지게 된다. 게다가, 각 인버터가 구동하는 용량은 다음단의 인버터의 게이트용량임으로, 각 인버터가 6개의 트랜지스터로 구성되어 있는 만큼 다음단의 용량이 증가한다. 또한, 트랜지스터가 직렬로 접속되어 있기 때문에, 백 바이어스 효과에서 트랜지스터 (N_n 및 TP_n ($1 \leq n \leq j$))의 임계치가 각각 TN_n 및 TP_n 보다도 높아진다. 이상의 세가지 효과에 의해, 비교적 큰 지연을 얻을 수가 있다.

이와 마찬가지로, 도 14에 나타난 제 2 종래 지연회로도, 종속접속된 j 단의 인버터열 (j 는 2 이상의 짝수)로 구성되어 있다. 단, 홀수단의 인버터는 소스·드레인 방향에 3단 직렬로 접속된 Nch MOS 트랜지스터 (예를들면, $TN_{11}, TN_{12}, TN_{13}$)와 1개의 Pch MOS 트랜지스터 (TP_{11})로 이루어지고, 짝수단의 인버터는 1개의 Nch MOS 트랜지스터 (예를들면, TN_{21})와 소스·드레인 방향에 3단 직렬로 접속된 Pch MOS 트랜지스터 (예를들면, $TP_{21}, TP_{22}, TP_{23}$)로 이루어진다. 예외로, 최종단의 인버터는 파형을 조정하기 위해 간단한 인버터 (TP_{j1}, TN_{j1})가 사용되고 있다.

이 구성에서는, 홀수단 인버터의 출력하강은 늦어지고 출력상승은 빨라지며, 짝수단 인버터의 출력상승은 늦어지고 출력하강은 빨라진다. 따라서, 도 14의 IN 단자에 상승신호가 입력되었을 때, OUT 단자에 상승신호가 출력될 때까지 큰 지연시간이 더해지고, IN 단자에 하강신호가 입력되었을 때는 신속하게 OUT 단자에 하강신호가 출력된다.

발명이 이루고자 하는 기술적 과제

그러나, 도 12에 나타난 종래 발전회로의 구성은, 간단한 인버터로 링 오실레이터를 형성한 경우보다도, 제어용 트랜지스터의 온저항 만큼 전류구동능력이 감소한다. 이 발전회로에 있어서, 발전 주파수와 듀티비의 변동폭은 링 오실레이터를 형성하는 각 논리게이트의 최대 전류구동능력에 따라서 제한되므로, 제어용 MOS 트랜지스터와 인버터의 게이트폭을 크게 하여야 한다. 이 때문에, 특히 동작 주파수가 큰 경우에는, 게이트폭을 크게, 즉 진동회로의 면적을 크게 하여야만 한다.

이와 마찬가지로, 지연회로도 많은 트랜지스터를 직렬로 접속하여 인버터를 구성하고 각 인버터를 다 단 종속접속하므로, 면적이 커지게 된다.

또한, 종래의 지연회로에서는, 회로설계시에 일단 지연시간을 설정하면, 그 후의 제조편차와 동작시의 전원전압변동이나 온도변화에 따라서 지연시간이 변동되므로, 동작시에 지연시간을 보정하기 위한 수단이 존재하지 않는다.

따라서, 본 발명은 상기 문제점을 감안하여 이루어진 것으로, 본 발명의 목적은 소면적으로 발전주파수, 듀티비, 위상을 제어할 수 있는 발전회로와, 소면적으로 지연시간, 상승시간, 하강시간을 제어할 수 있는 지연회로를 제공하는데 있다.

상기 목적을 달성하기 위해, 본 발명의 발전회로는, 링 오실레이터를 구성하는 각 트랜지스터의 백 바이어스로 조절함으로써, 발전회로수, 듀티비, 위상을 제어한다.

더욱 상세하게는, 제 1 발명의 발전회로는, MOS 집적회로에 있어서, 링 오실레이터를 구성하는 각 MOS 트랜지스터의 웰 중에서 동일한 도전형 웰이 2개 이상으로 전기적으로 분리되고, 상기 동일 도전형 웰 중에서 1개 이상이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 한다.

또한, 제 2 발명 발전회로는, SOI 형 MOS 집적회로에 있어서, 링 오실레이터를 구성하는 각 MOS 트랜지스터의 채널 영역 중에서 1개 이상이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 한다.

또한, 제 3 발명의 발전회로는, SOI 형 MOS 집적회로에 있어서, 링 오실레이터를 구성하는 각 MOS 트랜지스터의 채널 영역 중의 1개 이상에 대하여 하부전극이 매설 절연막을 통해 기판측에 설치되며, 상기 하부전극이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 한다.

이어서, 제 4 발명의 지연회로는, MOS 집적회로에 있어서, 발전회로가 복수단 종속접속된 구성을 포함하고, 상기 발전회로를 형성하는 각 MOS 트랜지스터의 웰 중에서 동일한 도전형 웰이 2개 이상으로 전기적으로 분리되며, 상기 동일 도전형 웰 중의 1개 이상이 가변 바이어스 발생회로의 출력에 접속되어 있는 것을 특징으로 한다.

또한, 제 5 발명의 지연회로는, SOI 형 MOS 집적회로에 있어서, 발전회로가 복수단 종속접속된 구성을 포함하고, 상기 발전회로를 형성하는 각 MOS 트랜지스터의 채널 영역 중의 1개 이상이 가변 바이어스 전압발생회로의 출력에 접속되어 있다.

그리고, 제 6 발명의 지연회로는, SOI 형 MOS 집적회로에 있어서, 발전회로가 복수단 종속접속된 구성을 포함하고, 상기 발전회로를 형성하는 각 MOS 트랜지스터의 채널 영역 중의 1개 이상에 대하여 하부전극이 매설 절연막을 통하여 기판측에 설치되며, 상기 하부전극이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 본 발명의 바람직한 실시형태에 대하여 설명한다.

본 발명의 발진회로는 그 바람직한 실시형태에 있어서, 링 오실레이터를 구성하는 각 트랜지스터의 백 바이어스에 의해 조절함으로써, 발진주파수, 듀티비, 위상을 제어하도록 한 것이다. 좀더 상세하게는, 벌크 CMOS에서는 웰을 각 트랜지스터마다 전기적으로 분리하고 (도 2 및 도 3의 41, 42, 51, 52), 각 웰에 개별적으로 제어전압을 부여할 수 있는 수단 (도 1의 백 바이어스 제어부 (1)) 을 가진다.

또한, 부분 공핍화형 SOI 에서는 웰 대신에 각 트랜지스터의 채널 영역 (도 7, 도 8의 61, 62, 71, 72) 에 대하여 제어전압을 부여한다.

또한, 부분 공핍화형 (空乏化形) SOI 에서는 웰 대신에 각 트랜지스터의 백 게이트 (도 9, 도 10의 81, 82, 91, 92) 에 대하여 제어전압을 부여한다.

또한, 본 발명의 지연회로는 그 바람직한 실시형태에 있어서, 짝수단 증속접속된 인버터열을 구성하는 각 트랜지스터의 백 바이어스를 조절함으로써, 지연시간, 상승시간, 하강시간을 제어한다. 보다 구체적으로는, 벌크 MOS 에서는 웰을 각 트랜지스터마다 전기적으로 분리하여 각 웰에 개별적으로 제어전압을 부여할 수 있는 수단 (도 11의 백 바이어스 제어부 (1)) 을 가진다.

또한, 부분 공핍화형 SOI 에서는 웰 대신에 각 트랜지스터의 채널 영역에 대하여 제어전압을 부여한다.

또한, 완전 공핍화형 SOI 에서는 웰 대신에 각 트랜지스터의 백 게이트에 대하여 제어전압을 부여한다.

본 발명의 발진회로는 그 바람직한 실시형태에 있어서, 백 바이어스 제어부 (도 1의 1) 를 사용하여 링 오실레이터를 구성하는 각 Pch 트랜지스터의 N 웰의 전위를 낮게 설정하고, 각 Nch 트랜지스터의 P 웰의 전위를 높게 설정할 수 있다. 이에 따라서, 각 트랜지스터의 임계치 (V_{th}) 가 감소하고 링 오실레이터 각단의 전류구동능력이 높아지므로, 발진주파수를 증가시킬 수가 있다 (도 4 참조).

반대로, 발진주파수를 낮게 할 때에는 N 웰의 전위를 높게 하고, P 웰의 전위를 낮게 하면 된다.

또한, 백 바이어스 제어부 (도 1의 1) 를 사용하여 링 오실레이터의 홀수단째의 논리 게이트의 웰 전위를 낮게 하고, 짝수단째의 논리 게이트의 웰 전위를 높게 할 수 있다. 이에 따라서, 출력신호의 상승이 빠르고 하강이 늦어지므로, 듀티비를 크게 할 수가 있다 (도 5 참조).

반대로, 듀티비를 작게 할 때에는 홀수단째의 논리 게이트의 웰 전위를 높게 하고, 짝수단째의 논리 게이트의 웰 전위를 낮게 하면 된다.

또한, 백 바이어스 제어부 (도 1의 1) 를 사용하면, 상승한 바와 같이 발진주파수를 변화시킬 수가 있다. 예컨대, 주기보다 짧은 시간만큼 일시적으로 발진주파수를 높게 하여 다시 본래의 주파수로 복귀시킴으로써, 출력신호의 위상을 진행시킬 수 있다 (도 6 참조).

반대로, 위상을 늦출 때에는 일시적으로 발진주파수를 작게 하여 다시 본래의 주파수로 복귀시키면 된다.

또한, 본 발명의 지연회로는 그 바람직한 형태에 있어서, 백 바이어스 제어부를 사용하여 다단 증속접속된 인버터열을 구성하는 각 Nch 트랜지스터의 P 웰 전위를 낮게 하고, 각 Pch 트랜지스터의 N 웰 전위를 높게 할 수 있다. 이에 따라, 각 트랜지스터의 임계치 (V_{th}) 가 상승하고, 각 인버터 전류구동능력이 작게되므로, 지연시간을 크게 할 수 있다. 지연시간을 작게 할 때에는 P 웰 전위를 높게 하고, N 웰 전위를 낮게 하면 된다.

또, 백 바이어스 제어부를 이용하여 인버터열의 홀수단째 논리 게이트 웰 전위를 낮게 하고, 짝수단째 논리 게이트 웰의 전위를 높게 설정할 수 있다. 이렇게함으로써, 상승신호가 입력될 때는 지연 시간을 크게 하고, 하강신호가 입력될 때는 지연 시간을 작게 할 수가 있다.

반대로, 상승신호가 입력될 때에는 지연 시간을 크게 하고, 하강신호가 입력될 때에 지연 시간을 작게 하기 위해서는, 홀수단째 논리 게이트 웰 전위를 높게 하고, 홀수단째 논리 게이트의 웰 전위를 낮게 하면 된다.

이하, 이상의 실시 형태에 대해서 더욱 상세하게 설명하기 위해, 본 발명의 실시예에 대해 도면을 참조하여 설명한다.

실시예 1

도 1은 본 발명의 일 실시예의 발진회로 구성을 나타낸 블록도이다. 도 1을 참조하면, 본 실시예에서, MOS 트랜지스터 (Q_{P1} 와 Q_{N1} , Q_{P2} 와 Q_{N2} , ..., $Q_{P,k}$ 와 $Q_{N,k}$, k 는 1 이상의 정수) 는 각각 인버터를 형성하고 있어, 최종단 인버터의 출력 (OUT) 은 초기단 인버터의 입력으로 귀환되어 있으며, 이들 인버터군에 의해 링 오실레이터가 구성되어 있다. 그리고, P 채널 MOS 트랜지스터는 Q_{P1} , N 채널 MOS 트랜지스터는 Q_{N1} 으로 나타낸다.

백 바이어스 제어부 (1) 는 여러 바이어스 전압을 출력하기 위한 회로로서, 백 바이어스 제어단자 (B_{P1} , B_{N1} , B_{P2} , B_{N2} , ..., $B_{P,k}$, $B_{N,k}$, k 는 1 이상의 정수) 에 백 바이어스 제어전압을 개별적으로 공급한다.

백 바이어스 제어전압은, 예를 들면 충전펌프 (charging pump) 회로를 이용하여 발생시키는 것으로 한다. 인버터군을 구성하는 각 트랜지스터 (Q_{P1} , Q_{N1} , Q_{P2} , Q_{N2} , ..., $Q_{P,k}$, $Q_{N,k}$) 의 각 웰은 서로 전기적으로

분리되어 있고, 각각이 대응하는 백 바이어스 제어단자 ($BP_1, BN_1, BP_2, BN_2, \dots, BP_{3..n}, BN_{3..n}$)에 접속되어 있다.

도 2는 도 1의 링 오실레이터의 일부, 트랜지스터 (QP_1, QN_1, QP_2, QN_2)의 레이아웃 평면도를 나타낸 것이다. 도 2의 Y-Y' 선을 따른 단면도를 도 3a에, X-X' 선을 따른 단면도를 도 3b에 각각 나타낸다.

도 2 및 도 3을 참조하면, P형의 반도체 기판 (3) 상부에 N 웰 (41, 42)과 같은 N 웰 (5)이 형성되어 있고, 서로 기판 (3)에 의해 전기적으로 분리되어 있다. 같은 N 웰 (5) 상부에는 P 웰 (51, 52)이 형성되어 있고, 서로 같은 N 웰 (5)에 의해 전기적으로 분리되어 있다.

N 웰 (41)의 표면에는 한 쌍의 p형 확산층 쌍 (21), N 웰 (42)의 표면에는 한 쌍의 P형 확산층 쌍 (22), P 웰 (51)의 표면에는 한 쌍의 N형 확산층 쌍 (31), P 웰 (52)의 표면에는 한 쌍의 N형 확산층 쌍 (32)이 형성되어 있고, 웰의 더욱 상부에는 절연막 (4)이 형성되어 있다. 절연막 (4) 중에는 게이트 전극 (11, 12)이 형성되어 있고, 게이트 전극 (11)은 P형 확산층 쌍 (21)과 N형 확산층 쌍 (31)의 상부에 배치되어 있고, 게이트 전극 (12)은 P형 확산층 쌍 (22)과 N형 확산층 쌍 (32) 상부에 배치되어 있다.

백 바이어스 제어단자 (BP_1, BN_1, BP_2, BN_2)는 각각 N 웰 (41), P 웰 (51), N 웰 (42) 및 P 웰 (52)에 접속된다.

다음에, 본 실시예의 발진회로 동작을 설명한다.

일반적으로 웰의 전위를 변동시키면, 그 웰 내의 MOS 트랜지스터의 임계치 (V_m)가 변동한다 (「기판 바이어스 효과」라고도 한다). 도 3에 나타내는 바와 같이, 본 실시예 발진회로의 링 오실레이터에서는 각 트랜지스터마다 웰을 전기적으로 분리하여 제어부 (1)로부터 각 웰에 개별적으로 백 바이어스 제어전압을 인가할 수 있으므로, 각 트랜지스터마다 임계치 (V_m)의 제어가 가능하다.

또, 링 오실레이터를 형성하는 각 논리 게이트의 전류 구동 능력은 트랜지스터 포화영역의 전류 (I_m) (다음 식 (2) 참조)로 정해지므로, 임계치 (V_m)를 제어함으로써 각 논리 게이트의 전류 구동 능력을 제어할 수 있다.

보다 구체적으로는, 도 4에 나타내는 바와 같이, 백 바이어스 제어부 (1)의 출력 중에서 $BP_1, BP_2, \dots, BP_{3..n}$ 의 전위를 낮게 하고, $BN_1, BN_2, \dots, BN_{3..n}$ 의 전위를 높게 한다. 이때, 각 단 인버터의 전류 구동능력이 높아지므로, 발진주파수를 높게 할 수 있다. 그리고, 도 4, 도 5 및 도 6에는 백 바이어스 제어부 (1)의 출력 (BP_1, BN_1) 및 발진회로의 출력 (OUT)의 타이밍 파형이 나타나 있다.

또, 도 5에 나타내는 바와 같이, 백 바이어스 제어부 (1)의 출력 중에서 홀수단 페의 인버터 웰에 입력되는 $BP_1, BN_1, BP_3, BN_3, \dots, BP_{3..n}, BN_{3..n}$ 의 전위를 낮게 하고, 짝수단 페의 인버터 웰에 입력되는 $BP_2, BN_2, BP_4, BN_4, \dots, BP_3, BN_3$ 의 전위를 높게 한다. 그렇게 함으로써, 출력이 상승할 때까지의 지연 시간이 작고, 출력이 하강할 때까지의 지연 시간이 커지므로, 출력 파형의 듀티비를 크게 할 수 있다.

또, 도 6에 나타내는 바와 같이, 주기보다 짧은 시간만큼 $BP_1, BP_2, \dots, BP_{3..n}$ 의 전위를 낮게 하고, $BN_1, BN_2, \dots, BN_{3..n}$ 의 전위를 높게 하여, 바로 본래의 전위로 복귀시킨다. 이때, 단시간만 발진주파수가 높아져 바로 본래의 발진주파수로 복귀하므로, 출력 (OUT) 위상을 진행시킬 수가 있다.

또한, 도 3에 나타낸 바와 같이, 확산층과 웰, P 웰과 같은 N 웰, N 웰과 P형 반도체 기판은 P-N 접합으로 접하고 있으므로, P형 반도체층 전위는 인접하는 N형 반도체층 전위보다 확산전위 (V_d) 이상 높아서는 안된다.

예컨대, 도 3에서 P형 기판 (3)의 전위를 전원전위 (V_{dd}) 이하로 하면, N 웰 (41, 42)의 전위는 $V_{dd}-V_d$ 보다 높아야한다. 이와 같이, 본 실시예에서는 백 바이어스 전위의 제어범위가 어느 정도 한정된다.

또, 본 실시예에서는 링 오실레이터를 구성하는 각 트랜지스터의 웰은 모두 서로 전기적으로 분리되어 있는 것으로 하였지만, 일부 웰만 전기적으로 분리해도 된다. 또한, 본 설명에서 기판 (3)은 P형 반도체로 하였지만, N형 반도체 기판상에 깊은 P 웰과 P 웰, 깊은 P 웰상에 N 웰을 형성해도 동일하게 구성할 수 있다.

실시예 2

이어서, 본 발명 (청구항 2)의 실시예에서 트랜지스터를 부분 공핍화형 SOI (Silicon On Insulator)로 한 경우에 대해서 설명한다.

도 7은 도 1의 링 오실레이터의 일부, 트랜지스터 (QP_1, QN_1, QP_2, QN_2)의 레이아웃 평면도를 나타낸 것이다. 또, 도 7의 Y-Y' 선을 따라 자른 단면도를 도 8a에, X-X' 선을 따라 자른 단면도를 도 8b에 각각 나타낸다. 도 7 및 도 8을 참조하면, P형 또는 N형의 반도체 기판 (6)의 상부에 절연

막 (4) 이 형성되어 있고, 그 상부에 N 형 S01 층 (61, 62) 과 P 형 S01 층 (71, 72) 이 형성되어 있으며, 각 S01 층은 상호 절연막 (4) 에 의해 분리되어 있다.

N 형 S01 층 (61) 측면에는 한쌍의 P 형 확산층 쌍 (21), N 형 S01 층 (62) 측면에는 한쌍의 P 형 확산층 쌍 (22), P 형 S01 층 (71) 측면에는 한쌍의 N 형 확산층 쌍 (32), P 형 S01 층 (72) 측면에는 한쌍의 N 형 확산층 쌍 (32) 이 형성되어 있고, S01 층의 더 상부에는 절연막 (4) 이 형성되어 있다. 절연막 (4) 중에는 게이트 전극 (11, 12) 이 형성되어 있고, 게이트 전극 (11) 은 P 형 확산층 (21) 과 N 형 확산층 (31) 상부에 배치되어 있고, 게이트 전극 (12) 은 P 형 확산층 (22) 과 N 형 확산층 (32) 상부에 배치되어 있다. 백 바이어스 제어단자 (BP₁, BN₁, BP₂, BN₂) 는 각각 N 형 S01 층 (61), P 형 S01 층 (71), N 형 S01 층 (62), P 형 S01 층 (72) 에 접속되어 있다.

본 실시예의 회로동작은 기본적으로 상기 제 1 실시예와 동일하다. 본 실시예의 경우의 웰에 비해, S01 층은 기생용량이 작아, 발진주파수, 듀티비, 위상을 변화시킬 때의 동작이 고속이 되고, 또 소비 전력이 작아진다는 특징을 갖고 있다. 또, S01 층과 기판 (6) 이 절연막 (4) 으로 분리되어 있으므로, 웰에 설정할 수 있는 전위는 기판 (6) 의 전위의 영향을 받지 않는다. 이 때문에, 상기 제 1 실시예와 비교해 볼때, 본 실시예에서는 백 바이어스 제어전위의 설정범위의 자유도가 높다.

실시예 3

이어서, 본 발명 (청구항 3) 의 실시예에 대해, 즉 트랜지스터가 완전 공핍형 S01 의 경우에 대해 설명한다.

이와 같은 구조에서, 트랜지스터 임계치를 제어하는 방법에 대해서는 예컨대 일본 공개특허공보 제 95-106579 호의 기재를 참조한다.

도 9 는 도 1 의 링 오실레이터의 일부, 트랜지스터 (QP₁, QN₁, QP₂, QN₂) 의 레이아웃 평면도를 나타낸 것이다. 또, 도 9 의 Y-Y' 선을 따라 자른 단면도를 도 10a 에, X-X' 선을 따라 자른 단면도를 도 10b 에 각각 나타낸다.

도 9 및 도 10 을 참조하면, P 형 또는 N 형 기판 (6) 의 상부에 절연막 (4) 이 형성되어 있고, 그 상부에 N 형 S01 층 (61, 62) 과 P 형 S01 층 (71, 72) 이 형성되어 있으며, 각 S01 층은 상호 절연막 (4) 에 의해 분리되어 있다. N 형 S01 층 (61) 의 측면에는 1 쌍의 P 형 확산층 쌍 (21), N 형 S01 층 (62) 의 측면에는 1 쌍의 P 형 확산층 쌍 (22), P 형 S01 층 (71) 의 측면에는 1 쌍의 N 형 확산층 쌍 (31), P 형 S01 층 (72) 의 측면에는 1 쌍의 N 형 확산층 쌍 (32) 이 형성되어 있으며, S01 층의 더욱 상부에는 절연막 (4) 이 형성되어 있다. 절연막 (4) 중에는 게이트 전극 (11, 12) 이 형성되어 있고, 게이트 전극 (11) 은 P 형 확산층 (21) 과 N 형 확산층 (31) 의 상부에, 게이트 전극 (12) 은 P 형 확산층 (22) 과 N 형 확산층 (32) 의 상부에 배치되어 있다. 백 바이어스 제어단자 (BP₁, BN₁, BP₂, BN₂) 는 각각 기판 (6) 의 표면에 접속되며, 또한 각 S01 층 하부에 형성된 백 게이트 (81, 82, 91, 92) 에 접속된다. 백 게이트는, 예를 들어 반도체 기판 (6) 과 반대되는 도전형의 반도체로 한다.

본 실시예의 회로동작은 상기 제 1 실시예와 동일하다. 단, 백 게이트의 용량이 웰 용량보다 일반적으론 작으므로, 본 실시예의 경우는 상기 제 2 실시예와 동일하게 발진 주파수, 듀티비, 위상을 변화시킬 때의 동작이 고속이고 소비전력이 작아지게 된다는 특징을 갖는다. 또한, 확산층과 백 게이트가 절연막 (4) 으로 분리되어 있으므로, 백 게이트에 설정할 수 있는 전위는 확산층 전위의 영향을 받지 않는다. 따라서, 상기 제 1 실시예와 비교할 때, 본 실시예에서는 백 바이어스 제어전압의 설정 범위에 대한 자유도가 높다.

실시예 4

도 11 은 본 발명 (청구항 4) 의 지연회로의 일 실시예의 구성을 나타내는 블록도이다. 도 11 을 참조하면, MOS 트랜지스터 QP₁ 과 QN₁, QP₂ 와 QN₂, ..., QP_j 와 QN_j (j 는 2 이상의 정수) 는 각각 인버터를 형성하고 있고, 이들 인버터군은 출력단자와 입력단자가 연속적으로 증속접속되어 있다. 백 바이어스 제어부 (1) 는 여러가지 바이어스 전압을 출력하기 위한 회로로서, 백 바이어스 제어단자 BP₁, BN₁, BP₂, BN₂, ..., BP_j 와 BN_j (j 는 2 이상의 정수) 에 백 바이어스 제어전압을 개별적으로 공급한다. 백 바이어스 제어전압은, 예를 들어 충전펌프 회로를 이용하여 발생시키는 것으로 한다.

인버터군을 구성하는 각 트랜지스터 QP₁, QN₁, QP₂, QN₂, ..., QP_j, QN_j 의 각 웰은 서로 분리되어 있고, 각각이 대응하는 백 바이어스 제어단자 (BP₁, BN₁, BP₂, BN₂, ..., BP_j, BN_j) 에 접속되어 있다.

다음으로, 도 11 에 나타낸 본 실시예의 지연회로 동작을 설명한다.

본 실시예의 지연회로에서, 증속접속된 인버터열은, 각 트랜지스터마다 웰을 전기적으로 분리하고, 제어부 (1) 에서 각 웰에 개별적으로 백 바이어스 제어전압을 인가할 수 있으므로, 각 트랜지스터에서 마다 임계치 (V_{th}) 제어가 가능하다.

상술한 본 발명의 발진회로의 실시예 동작에서 설명한 바와 같이, 임계치 (V_{th}) 를 제어함으로써 각 인버터의 전류구동능력을 제어할 수 있다.

보다 구체적으로는, 백 바이어스 제어부 (1) 의 출력 중에서 BP₁, BP₂, ..., BP_j 의 전위를 높게 하고, BN₁, BN₂, ..., BN_j 의 전위를 낮게 한다. 이때, 각 단의 인버터의 전류구동능력이 작아지므로, 웰 전위에 의하여 지연시간 길이를 제어할 수 있다.

또한, 백 바이어스 제어부 (1) 의 출력 중에서 홀수단 패의 인버터 웰에 입력되는 BP₁, BN₁, BP₃, BN₃,

..., BP_{n-1} , BN_{n-1} 의 전위를 낮게 하고, 작수단 때의 인버터 웹에 입력되는 BP_n , BN_n , BP_n , BN_n , ..., BP_n , BN_n 의 전위를 높게 한다. 이렇게 하면, 상승신호를 입력했을 때의 지연시간은 커지고, 하강신호를 입력했을 때의 지연시간은 작아진다. 반대로, 홀수단 때의 인버터의 웹 전위를 높게 하고 작수단 때의 인버터 웹의 전위를 낮게 하면, 하강신호를 입력했을 때의 지연시간은 커지고 상승신호를 입력했을 때의 지연시간은 작아진다. 이로써, 입력신호의 이동방향에 의하여 지연시간을 매우 다르게 할 수 있다.

상술한 실시예에서 설명한 발진회로와 마찬가지로 (상기 실시예 2 및 실시예 3 참조), 본 실시예의 지연 회로에 대해서도, 부분 공핍화형 SOI 디바이스 또는 완전 공핍화형 SOI 디바이스로의 적용이 가능하다. 예를 들면, 부분 공핍화형 (SOI) 디바이스의 경우에는 웹 대신에 각 트랜지스터의 채널영역에 대하여 제어전압을 부여하고, 또 완전 공핍화형 (SOI) 디바이스에서는 웹 대신에 백 게이트에 대하여 제어전압을 부여함으로써, 지연시간, 상승/하강 시간을 제어할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면 다음과 같은 효과를 나타낸다.

본 발명의 첫번째 효과는, 발진회로의 면적을 감축한다는 것이다. 그 이유는, 전술한 종래 발진회로에서의 트랜지스터 (TP_n , TN_n) (도 12 참조)와 같은, 특히 게이트폭이 큰 제어용 MOS 트랜지스터가 본 발명에서는 필요하기 때문이다.

본 발명의 두번째 효과는, 발진주파수가 매우 높은 발진회로를 얻을 수 있다는 것이다. 그 이유는, 본 발명에서는 간단한 인버터만으로 링 오실레이터를 형성할 수 있으며, 또한 각 트랜지스터의 임계치를 알맞게 제어할 수 있기 때문이다.

본 발명의 세번째 효과는, 지연회로의 면적이 감축된다는 것이다. 그 이유는, 본 발명에서는 Nch 트랜지스터와 Pch 트랜지스터를 각각 1개씩만 사용하여, 지연회로를 구성하는 각 인버터를 형성할 수 있기 때문이다.

본 발명의 네번째 효과는, 지연회로의 지연시간, 상승시간, 하강시간을 전기적으로 변화시키는 것이 가능한, 즉, 동작시에 지연시간을 변화시키는 것이 가능하다는 것이다. 그 이유는, 본 발명에서는 지연시간이 백 바이어스 제어부의 출력전위로서 제어할 수 있도록 되었기 때문이다.

(5) 청구의 범위

청구항 1. MOS 집적회로에 있어서,

링 오실레이터를 구성하는 각 MOS 트랜지스터의 웹 중에서 동일한 도전형 웹이 2 개 이상으로 전기적으로 분리되고, 상기 동일 도전형 웹 중에서 1 개 이상이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 하는 발진회로.

청구항 2. SOI 형 MOS 집적회로에 있어서,

링 오실레이터를 구성하는 각 MOS 트랜지스터의 채널 영역 중에서 1개 이상이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 하는 발진회로.

청구항 3. SOI 형 MOS 집적회로에 있어서,

링 오실레이터를 구성하는 각 MOS 트랜지스터의 채널 영역 중의 1개이상에 대하여 하부전극이 매설 절연막을 통하여 기판속에 설치되며, 상기 하부전극이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 하는 발진회로.

청구항 4. MOS 집적회로에 있어서,

반전회로가 복수단 증속접속된 구성을 포함하고, 상기 반전회로를 형성하는 각 MOS 트랜지스터의 웹 중에서 동일 도전형 웹이 2 개 이상으로 전기적으로 분리되며, 상기 동일 도전형 웹 중에서 1개 이상이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 하는 지연회로.

청구항 5. SOI 형 MOS 집적회로에 있어서,

반전회로가 복수단 증속접속된 구성을 포함하고, 상기 반전회로를 형성하는 각 MOS 트랜지스터의 채널 영역 중에서 1개 이상이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 하는 지연 회로.

청구항 6. SOI 형 MOS 집적회로에 있어서,

반전회로가 복수단 증속접속된 구성을 포함하고, 상기 반전회로를 형성하는 각 MOS 트랜지스터의 채널 영역 중에서 1개이상에 대하여 하부전극이 매설 절연막을 통하여 기판속에 설치되며, 상기 하부전극이 가변 바이어스 전압발생회로의 출력에 접속되어 있는 것을 특징으로 하는 지연회로.

청구항 7. 복수단 증속접속된 논리 게이트를 포함한 반도체 장치에 있어서,

상기 복수의 논리 게이트를 구성하는 복수의 MOS 트랜지스터의 웹을 2 개 이상으로 전기적으로 분리하고, 상기 복수의 MOS 트랜지스터의 웹 바이어스를 가변으로 설정하는 수단을 구비하고, 상기 복수의 MOS 트랜지스터의 임계치를 개별적으로 가변시킴으로써 상기 각단의 논리 게이트의 전류구동능력을 가변으로 설정할 수 있도록 한 것을 특징으로 하는 반도체 장치.

청구항 8. 제 7 항에 있어서,

상기 복수단 증속접속된 논리 게이트로서, 인버터 게이트를 홀수단 증속접속하여 이루어지는 링 오실레이터, 및/또는 인버터 게이트를 짝수단 증속접속하여 이루어지는 지연회로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 9. 제 7 항 또는 제 8 항에 있어서,

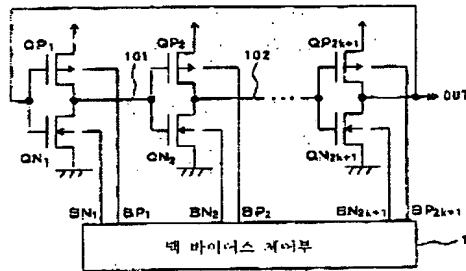
상기 펄 대신에 상기 논리 게이트를 구성하는 SSI 트랜지스터의 채널 영역 또는 백 게이트의 바이어스를 가변으로 설정하는 수단을 구비한 것을 특징으로 하는 반도체 장치.

청구항 10. 링 오실레이터를 구성하는 홀수단의 인버터열에서 각 트랜지스터의 백 바이어스를 개별적으로 조절하는 수단을 구비하고, 발진회로의 발진주파수, 듀티비, 위상을 제어할 수 있도록 한 것을 특징으로 하는 반도체 장치.

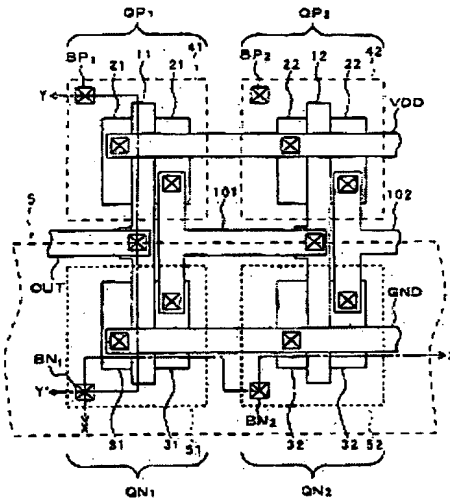
청구항 11. 짝수단 증속접속된 인버터열을 구성하는 각 트랜지스터의 백 바이어스를 개별적으로 조절하는 수단을 구비하고, 지연회로의 지연시간, 상승시간, 하강시간을 제어할 수 있도록 한 것을 특징으로 하는 반도체 장치.

도면

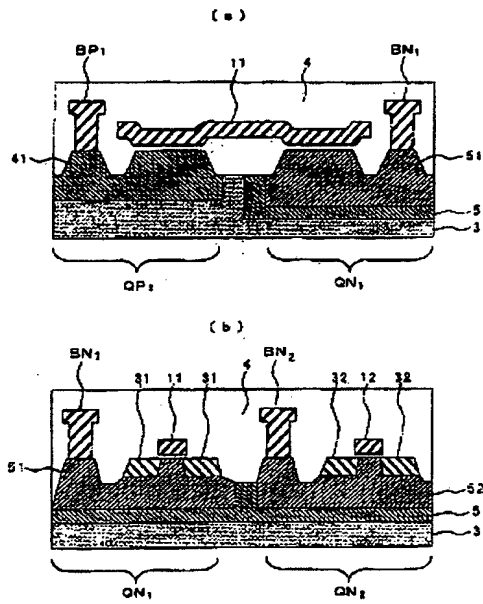
도면1



도면2



도 13



도 14

[첨부그림 1]

목1998-071343

도 185

도 186

14-10

[첨부그림 1]

특1998-071343

도 197

도 198

14-11

[첨부그림 1]

특1998-071343

도 10

도 10

14-12

[첨부그림 1]

특1998-071343

도면11

도면12

도면13

14-13

[첨부그림 1]